

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52

(10) Internationale Veröffentlichungsnummer
WO 2004/010485 A2

- [Fortsetzung auf der nächsten Seite]*

A cross-sectional view of a semiconductor device. The substrate consists of layers 1A, 1B, SG, 2, and SA. A central region contains a patterned layer 3 with a cross-hatched area K, topped by a layer 4. Dimensions L and d are indicated.

[Fortsetzung auf der nächsten Seite]

WO 2004/010485 A2



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung betrifft ein Halbleiterbauelement mit stressaufnehmender Halbleiterschicht (SA) sowie ein zugehöriges Herstellungsverfahren, wobei auf einem Trägermaterial (1) eine kristalline Stressgeneratorschicht (SG) zum Erzeugen einer mechanischen Beanspruchung ausgebildet ist. An der Oberfläche der Stressgeneratorschicht (SG) ist eine isolierende Stressübertragungsschicht (2) ausgebildet, die die erzeugte mechanische Beanspruchung an eine stressaufnehmende Halbleiterschicht (SA) weitergibt, wodurch man neben einer verbesserten Ladungsträgerbeweglichkeit verbesserte elektrische Eigenschaften des Halbleiterbauelements erhält.

Beschreibung

Halbleiterbauelement mit stressaufnehmender Halbleiterschicht
sowie zugehöriges Herstellungsverfahren

5

Die vorliegende Erfindung bezieht sich auf ein Halbleiterbauelement mit stressaufnehmender Halbleiterschicht sowie ein zugehöriges Herstellungsverfahren und insbesondere auf einen Sub-100 Nanometer-Feldeffekttransistor mit vollständig verarmten (fully depleted) aktivem Gebiet.

10

Mit der fortschreitenden Entwicklung von Halbleiterbauelementen werden zur Verbesserung einer Integrationsdichte immer kleiner werdende Strukturgrößen angestrebt. Hierbei stößt man jedoch auch auf Grund einer begrenzten Ladungsträgerbeweglichkeit in Halbleitermaterialien an bestimmte Grenzen. Da eine obere Grenze der Ladungsträgerbeweglichkeit von Elektronen und Löchern in einem Halbleiterkristall von den physikalischen Eigenschaften des Halbleiterkristalls abhängt, können bei sehr kleinen Strukturgrößen eines Halbleiterbauelements die benötigten Ladungsträgerbeweglichkeiten nicht oder nicht ausreichend genau eingestellt werden. Darüber hinaus verursachen auch für die steigende Integrationsdichte notwendige sogenannte high-k-Gatedielektrika (Dielektrika mit hoher Dielektrizitätskonstante) eine verringerte Ladungsträgerbeweglichkeit.

15

20

25

Es wurden daher sogenannte Halbleiterbauelemente mit stressaufnehmenden Halbleiterschichten (strained semiconductor) entwickelt, wodurch eine Ladungsträgerbeweglichkeit in einem stressaufnehmenden Halbleiterkristall verbessert werden kann.

30

Figur 1 zeigt eine vereinfachte Kristalldarstellung zur Veranschaulichung dieses Effektes. Üblicherweise wird als stressaufnehmende Halbleiterschicht SA eine stressaufnehmende bzw. mechanisch beanspruchte Si-Schicht durch Aufwachsen einer dünnen Kristallschicht auf einem Trägerkristall ausgebil-

35

det, dessen Gitterkonstante verschieden zur Gitterkonstante des aufgewachsenen Siliziumkristalls ist. Üblicherweise verwendet man eine SiGe-Kristallschicht als sogenannte Stressgeneratorschicht SG, wobei der Ge-Gehalt einstellbar und vorzugsweise bei ca. 20% liegt. Auf diese Weise erhält man eine Gitterkonstante für den SiGe-Kristall SG, der um ca. 0,8% größer ist als die Gitterkonstante der darauf abgeschiedenen Si-Schicht SA. Aus diesen unterschiedlichen Gitterkonstanten ergeben sich insbesondere für die stressaufnehmende Si-Schicht SA die durch die Pfeile dargestellten mechanischen Beanspruchungen, wodurch sich letztendlich eine verbesserte Ladungsträgerbeweglichkeit aufgrund des sogenannten Piezoresistance-Effekt in dieser Schicht einstellen lässt.

Zur Realisierung von verbesserten Isolationseigenschaften und damit verringerten Leckströmen sowie verringerten Kapazitäten in einer Halbleiterschaltung werden üblicherweise sogenannte SOI-Substrate (Silicon On Insulator) verwendet, wobei sich jedoch eine Anwendung der vorstehend beschriebenen Technologie auf derartige SOI-Substrate nicht unmittelbar durchführen lässt.

Figur 2 zeigt eine vereinfachte Schnittansicht eines SiGe-on-Insulator-nMOSFETs, wie er beispielsweise aus der Literaturstelle T. Tezuka et al.: „Novel Fully-Depleted SiGe-On-Insulator pMOSFETs with High-Mobility SiGe Surface Channels“ IEEE 2001 bekannt ist. Hierbei wird auf einem Si-Trägersubstrat 100 eine amorphe SiO₂-Schicht 200 ausgebildet, wodurch man ein typisches SOI-Substrat erhält. An der Oberfläche der SiO₂-Schicht 200 wird anschließend eine Stressgeneratorschicht SG ausgebildet, die in ihrem unteren Bereich eine kristalline Si-Schicht mit einer nachfolgend aufgewachsenen SiGe-Schicht zur Erzeugung der mechanischen Beanspruchung aufweist. Anschließend wird eine Si-Schicht als stressaufnehmende Halbleiterschicht SA aufgewachsen, die auf Grund der unterschiedlichen Gitterkonstanten unter einer mechanischen Beanspruchung steht und somit eine erhöhte Ladungsträgerbe-

weglichkeit aufweist. Abschließend wird eine Gateoxidschicht 300 und eine Poly-Siliziumschicht 400 als Steuerschicht ausgebildet, wobei zum Anschließen der ein Kanalgebiet K darstellenden stressaufnehmenden Halbleiterschicht SA Source- und Draingebiete S und D ausgebildet sind. Sowohl eine weitergehende Verringerung der Strukturgrößen insbesondere in einem sub-100nm-Bereich als auch eine weitere Verbesserung der elektrischen Eigenschaften lassen sich jedoch mit einem derartigen herkömmlichen Halbleiterbauelement mit stressaufnehmender Halbleiterschicht SA nicht realisieren.

Der Erfindung liegt daher die Aufgabe zu Grunde ein Halbleiterbauelement mit stressaufnehmender Halbleiterschicht sowie ein zugehöriges Herstellungsverfahren zu schaffen, welches auch in einem sub-100nm-Bereich verbesserte elektrische Eigenschaften aufweist.

Erfindungsgemäß wird diese Aufgabe hinsichtlich des Halbleiterbauelements durch die Merkmale des Patentanspruchs 1 und hinsichtlich des Herstellungsverfahrens durch die Maßnahmen des Patentanspruchs 8 gelöst.

Insbesondere durch die Verwendung einer auf einem Trägermaterial ausgebildeten kristallinen Stressgeneratorschicht und einer darauf ausgebildeten isolierenden Stressübertragungsschicht können in einer darauf ausgebildeten stressaufnehmenden Halbleiterschicht die erzeugten und übertragenen Beanspruchungen soweit aufgenommen werden, dass sich einerseits eine verbesserte Ladungsträgerbeweglichkeit einstellt und andererseits verbesserte elektrische Eigenschaften im Halbleiterbauelement realisiert werden können.

Vorzugsweise weist die stressaufnehmende Halbleiterschicht einen intrinsischen Halbleiter auf, wobei seine Dicke kleiner $\frac{1}{3}$ einer Länge des Kanalgebiets ist, wodurch man ein Halbleiterbauelement mit vollständig verarmtem (fully depleted) Halbleiterkörper erhält. Neben der verbesserten Ladungsträ-

gerbeweglichkeit erhält man dadurch mit einem einfachen Aufbau ferner einen verringerten Abschaltstrom (off-current).

5 Vorzugsweise weist die Stressübertragungsschicht eine zur zweiten Gitterkonstante der stressaufnehmenden Halbleiterschicht angepasste Gitterkonstante auf, wodurch man hervorragende Übertragungseigenschaften für die mechanische Beanspruchung bzw. den mechanischen Stress erhält.

10 Ferner können auf diese Weise erstmals in Halbleiterbauelementen mit stressaufnehmenden Schichten Gate-Dielektrika mit einer hohen Dielektrizitätskonstante und Steuerschichten mit einem Metallgate eingesetzt werden, wodurch sich eine äquivalente Oxiddicke (EOT, Equivalent Oxide Thickness) für das Gate-Dielektrikum verringert und hervorragende Gate-Ansteuer-
15 eigenschaften realisiert werden können.

Zur Realisierung einer hervorragenden Ausgangsoberfläche wird als Trägermaterial vorzugsweise ein Si-Substrat mit einer
20 (100)-Oberflächenorientierung und einer darauf abgeschiedenen Si-Pufferschicht verwendet.

Ferner kann zur Verbesserung einer Oberflächenqualität auch die Stressgeneratorschicht mittels eines molekularstrahlepi-
25 taktischen Verfahrens geglättet werden, wodurch man weiter verbesserte elektrische Eigenschaften für das Halbleiterbauelement erhält.

Vorzugsweise wird als Trägermaterial Si, als Stressgenerator-
30 schicht SiGe, als Stressübertragungsschicht CaF_2 , als stressaufnehmende Halbleiterschicht Si, als Gate-Dielektrikum HfO_2 und als Steuerschicht TiN verwendet, wodurch man unter Verwendung von Standardmaterialien einen besonders einfachen Aufbau und hervorragende Eigenschaften insbesondere bezüglich
35 des Abschaltstroms, der Ladungsträgerbeweglichkeit, der äquivalenten Oxiddicke usw. erhält.

In den Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Figur 1 eine vereinfachte Kristalldarstellung zur Veranschaulichung wesentlicher Effekte in stressaufnehmenden Halbleiterschichten;

Figur 2 eine vereinfachte Schnittansicht eines herkömmlichen Halbleiterbauelements mit stressaufnehmender Halbleiterschicht; und

Figuren 3A und 3B vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines erfindungsgemäßen Halbleiterbauelements mit stressaufnehmender Halbleiterschicht.

Die Erfindung wird nachfolgend anhand eines nMOSFETs als Halbleiterbauelement mit stressaufnehmender Halbleiterschicht beispielhaft beschrieben. Sie ist jedoch nicht darauf beschränkt und umfasst in gleicher Weise pMOSFETs sowie entsprechende andere Halbleiterbauelemente, die zur Verbesserung einer Ladungsträgerbeweglichkeit eine stressaufnehmende Halbleiterschicht aufweisen.

Gemäß Figur 3A wird zunächst ein Trägermaterial 1 bereitgestellt, welches beispielsweise ein Silizium-Halbleitermaterial aufweist. Alternativ können jedoch auch jedes andere kristalline und näherungsweise gitterangepasste Trägermaterial (z.B. Saphir usw.) verwendet werden.

Insbesondere zur Verbesserung einer Oberflächenqualität kann das Trägermaterial 1 beispielsweise aus einem Halbleitersub-

strat 1A mit einer (100)-Oberflächenorientierung bestehen, wobei vorzugsweise ein Si-Substrat verwendet wird. Zur Realisierung einer hochwertigen Ausgangsoberfläche und um die Grenzflächenzustände an der Grenzfläche zwischen 1B und 1A zu vergraben kann gemäß Figur 3A beispielsweise eine Halbleiter-
5 Bufferschicht 1B epitaktisch abgeschieden werden, wobei vorzugsweise eine Silizium-Bufferschicht mittels eines molekularstrahlepitaktischen Verfahrens (MBE) oder MOCVD-Verfahrens (Metal Organic Chemical Vapor Deposition) abgeschieden wird.
10 Insbesondere bei Verwendung eines MBE-Verfahrens erhält man nach diesem Bearbeitungsschritt eine in einem Bereich von einer Atomlage geglättete Ausgangsoberfläche. Die Dicke der Bufferschicht 1B wird hierbei lediglich von einer Verarbeitungsgeschwindigkeit (Throughput) und einer vorgegebenen Ausgangsqualität bestimmt.
15

Alternativ können zu dem vorstehend beschriebenen Glättungsverfahren auch herkömmliche Glättungsverfahren wie z.B. CMP-Verfahren (Chemical Mechanical Polishing) durchgeführt werden.
20

Anschließend wird eine kristalline Stressgeneratorschicht SG auf dem Trägermaterial 1 bzw. der geglätteten Ausgangsoberfläche der Halbleiter-Bufferschicht 1B ausgebildet, wobei die
25 Kristallstruktur dieser Stressgeneratorschicht SG im Wesentlichen eine erste Gitterkonstante zum Erzeugen einer mechanischen Beanspruchung in der später ausgebildeten stressaufnehmenden Halbleiterschicht aufweist.

30 Die Stressgeneratorschicht SG weist beispielsweise einen IV-IV- oder einen III-V-Halbleiter auf. Sie kann jedoch auch eine Mehrfachschichtenfolge aufweisen und/oder mittels eines molekularstrahlepitaktischen graduell sich ändern, wodurch man wiederum verbesserte Aufwachseigenschaften für die nachfolgenden Schichten erhält. Insbesondere bei Verwendung einer
35 Si-Schicht als stressaufnehmende Halbleiterschicht SA wird für die Stressgeneratorschicht SG vorzugsweise $\text{Si}_{1-x}\text{Ge}_x$ als

Halbleitermaterial verwendet, wobei ein Ge-Anteil von üblicherweise von 10 bis 50% ($x = 0,1-0,5$) eingestellt wird. Auf diese Weise erhält man eine zum Trägermaterial und insbesondere zur später auszubildenden stressaufnehmenden Halbleiterschicht SA leicht verschiedene Gitterkonstante in der Stressgeneratorschicht SG, die an seiner (letzten) Atomschicht auf Grund seiner Fehlanpassung beispielsweise um einige Prozent (kleiner 10%) abweicht.

- 10 Bei der Realisierung eines sub-100 Nanometer-Halbleiterbauelements wird diese Stressgeneratorschicht SG mit einer typischen Dicke von 10 bis 300 Nanometer vorzugsweise mit einem MOCVD-Verfahren (Metal Organic Chemical Vapor Deposition) ausgebildet. Jede nachfolgend ausgebildete Kristallschicht
15 mit einer deutlich kleineren Dicke wird demzufolge ihre Gitterkonstante relativ zu dieser obersten Schicht ausrichten.

- Während in herkömmlichen Verfahren an dieser Stelle unmittelbar auf der Stressgeneratorschicht SG die stressaufnehmende
20 Schicht SA ausgebildet wird, erfolgt beim erfindungsgemäßen Verfahren nunmehr die Ausbildung einer die erzeugte mechanische Beanspruchung übertragenden Stressübertragungsschicht 2, welche darüber hinaus isolierende Eigenschaften aufweist.

- 25 Da thermisch ausgebildete oder abgeschiedene Isolatorschichten wie z.B. Oxidschichten eine amorphe Struktur aufweisen, sind sie als Stressübertragungsschichten grundsätzlich nicht geeignet. Demgegenüber können kristalline Isolatorschichten mit einer vorbestimmten Kristallstruktur derartige in der
30 Stressgeneratorschicht SG erzeugte mechanische Spannungen an eine nachfolgende stressaufnehmende Halbleiterschicht SA weiterleiten. Als derartige kristalline Isolatorschichten sind beispielsweise CdF_2 , CaF_2 und dergleichen bekannt.

- 35 Bei Verwendung einer aus Silizium bestehenden stressaufnehmenden Halbleiterschicht zeigt insbesondere CaF_2 besonders gute Eigenschaften, da die Gitterkonstante von CaF_2 sehr gut

an die Gitterkonstante von Silizium angepasst (beispielsweise sehr ähnlich ist (Gitterkonstante $\text{CaF}_2 = 0,546$ Nanometer, Gitterkonstante von Si = 0,543 Nanometer bei Zimmertemperatur). Darüber hinaus stellt CaF_2 einen elektrischen Isolator dar mit dem größten Bandabstand (Valenzband zu Leitungsband = 12eV) aller existierenden Materialien. Auf Grund dieses außergewöhnlich großen Bandabstands (12 eV) ist es bei Verwendung von CaF_2 ausreichend, lediglich wenige Atomlagen an der Oberfläche der Stressgeneratorschicht SG auszubilden. Vorzugsweise wird demzufolge eine ca. 1 bis 2 Nanometer dicke CaF_2 -Stressübertragungsschicht 2 als vergrabener Isolator mittels beispielsweise eines Atomlagen-Abschideverfahrens (ALCVD, Atomic Layer Chemical Vapor Deposition) oder eines MBE-Verfahrens abgeschieden.

Nachfolgend erfolgt das Ausbilden der eigentlichen stressaufnehmenden Halbleiterschicht SA an der Oberfläche der isolierenden Stressübertragungsschicht 2, wobei vorzugsweise eine Silizium-Halbleiterschicht als aktives Gebiet, z.B. Kanalgebiet K, für das Halbleiterbauelement ausgebildet wird. Insbesondere bei der Realisierung von Sub-100 Nanometer-Halbleiterbauelementen, wobei Feldeffekttransistoren beispielsweise eine Kanallänge von 15 Nanometer aufweisen können, wird hierbei ein intrinsisches Halbleitermaterial, d.h. intrinsisches Silizium, mit einer Dicke d kleiner $1/3$ einer Kanallänge L abgeschieden. Bei einer Kanallänge $L = 15$ Nanometer werden demzufolge mit ALCVD- oder MOCVD- oder MBE-Verfahren ca. $d = 5$ Nanometer intrinsisches Halbleitermaterial abgeschieden, wodurch man ein Halbleiterbauelement mit vollständig verarmtem aktiven Gebiet bzw. Halbleiterkörper erhält (fully depleted bodys).

Die isolierende Stressübertragungsschicht 2 gewährleistet hierbei die zuverlässige und vollständige Verarmung dieser gestressten bzw. stressaufnehmenden Halbleiterschicht SA, weshalb man neben der verbesserten Ladungsträgerbeweglichkeit auch alle Vorteile eines vollständig verarmten Halbleiterbau-

elements erhält. Da die Stressübertragungsschicht 2 ferner nur wenige Atomlagen aufweist und darüber hinaus im Falle von CaF_2 und Si hinsichtlich ihrer Gitterkonstanten optimal angepasst ist, wird die in der Stressgeneratorschicht SG erzeugte mechanische Beanspruchung bzw. Spannung nahezu verlustfrei an die stressaufnehmende Halbleiterschicht SA weitergegeben.

Anschließend wird gemäß Figur 3A an der Oberfläche der stressaufnehmenden Halbleiterschicht SA ein Gate-Dielektrikum 3 und eine Steuerschicht 4 ausgebildet. Das Gate-Dielektrikum 3 kann beispielsweise aus herkömmlichen Gate-Dielektrika wie z.B. Siliziumnitrid, Siliziumdioxid, ONO-Schichtenfolgen oder zukünftigen neuen high-k-Dielektrika usw. bestehen, während die Steuerschicht 4 in gleicher Weise aus herkömmlichen Gatematerialien wie z.B. dotiertem Polysilizium oder Metall bestehen kann.

Vorzugsweise werden jedoch Gate-Dielektrika mit hoher dielektrischer Konstante bzw. sogenannte High-k-Dielektrika als Gate-Dielektrikum verwendet, wobei vorzugsweise HfO_2 , HfSi_xO_y , HfSiNO usw. wiederum mittels eines ALCVD- oder MOCVD-Verfahrens in einer Dicke von typischen 3 Nanometer abgeschieden wird. Auf Grund der dramatischen Fehlanpassung der Gitterkonstanten dieser Materialien, d.h. des Gate-Dielektrikums, und wegen der niedrigen Abscheidetemperaturen zur stressaufnehmenden Halbleiterschicht SA, erfolgt der Abscheideprozess amorph.

Hinsichtlich des Gatematerials bzw. der Steuerschicht 4 wird - insbesondere bei angestrebter vollständiger Verarmung des aktiven Halbleiterkörpers - als Gatematerial ein sogenanntes Mid-Gap-Material abgeschieden. Derartige Materialien können Wechselwirkungen zu den High-k-Materialien des Gate-Dielektrikums 3 günstig beeinflussen, wobei im Falle der vorstehend genannten Hafnium-Gatematerialien vorzugsweise ein Metallgate wie z.B. TiN als Steuerschicht 4 verwendet wird.

Abschließend wird gemäß Figur 3B sowohl die Steuerschicht 4 als auch das Gate-Dielektrikum 3 strukturiert und in der stressaufnehmenden Halbleiterschicht SA jeweilige Source- und Draingebiete S und D zur Fertigstellung eines Feldeffekttransistors ausgebildet. Die weiteren Schritte zur Ausbildung von Spacern, Kontaktlöchern, Anschlussgebieten usw. entsprechen dem Stand der Technik, weshalb auf eine Beschreibung nachfolgend verzichtet wird.

10 Auf diese Weise können insbesondere Halbleiterbauelemente mit gestressten bzw. stressaufnehmenden und/oder unter vollständiger Verarmung arbeitende Halbleiterschichten auf einfache und kostengünstige Art und Weise hergestellt werden, wodurch insbesondere ein Abschaltstrom (off-current) verringert ist
15 und eine Ladungsträgerbeweglichkeit und damit Taktrate des Halbleiterbauelements verbessert ist.

In gleicher Weise können insbesondere bei Verwendung von Gate-Dielektrika mit hoher dielektrischer Konstante die äquivalenten Oxiddicken (EOT, Equivalent Oxide Thickness) verringert werden, wodurch sich die Ansteuerung verbessert und insbesondere verringerte Spannungen realisiert werden können.

Die isolierende Stressübertragungsschicht verringert darüber hinaus sogenannte Punch-Through-Effekte und kann insbesondere einen Abschalt-Leckstrom (Off-State Leakage Current) beträchtlich verringern. Insbesondere steht jedoch nunmehr auch für Sub-100 Nanometer-Halbleiterbauelemente ein entsprechender Schichtaufbau zur Verfügung, mit dem Halbleiterbauelemente mit geringen Abweichungen der elektrischen Eigenschaften und ausreichender Reproduzierbarkeit gefertigt werden können.

Die Erfindung wurde vorstehend anhand eines nMOSFETs beschrieben. Sie ist jedoch nicht darauf beschränkt und umfasst in gleicher Weise pMOSFETs oder sonstige Halbleiterbauelemente mit stressaufnehmender Halbleiterschicht. Ferner wurde die Erfindung anhand einer aus Silizium bestehenden stressaufneh-

11

menden Halbleiterschicht und einer aus CaF_2 bestehenden Stressübertragungsschicht beschrieben. Es können in gleicher Weise jedoch auch alternative Materialien zur Realisierung dieser Schichten verwendet werden.

Patentansprüche

1. Halbleiterbauelement mit stressaufnehmender Halbleiterschicht mit:
 - 5 einem Trägermaterial (1);
 - einer auf dem Trägermaterial (1) ausgebildeten kristallinen Stressgeneratorschicht (SG) mit im Wesentlichen einer ersten Gitterkonstante zum Erzeugen einer mechanischen Beanspruchung;
 - 10 einer auf der Stressgeneratorschicht (SG) ausgebildeten isolierenden Stressübertragungsschicht (2) zum Übertragen der erzeugten mechanischen Beanspruchung;
 - einer auf der Stressübertragungsschicht (2) ausgebildeten kristallinen, stressaufnehmenden Halbleiterschicht (SA) mit
 - 15 einer zur ersten Gitterkonstante verschiedenen zweiten Gitterkonstante zum Aufnehmen der erzeugten und übertragenen mechanischen Beanspruchung und zur Realisierung von Source/Draingebieten (S, D) sowie einem Kanalgebiet (K);
 - einem zumindest an der Oberfläche des Kanalgebietes (K) ausgebildeten Gate-Dielektrikum (3); und
 - 20 einer auf dem Gate-Dielektrikum (3) ausgebildeten Steuerungsschicht (4) zum Ansteuern des Kanalgebietes (K).
2. Halbleiterbauelement nach Patentanspruch 1,
 - 25 d a d u r c h g e k e n n z e i c h n e t, dass die stressaufnehmende Halbleiterschicht (SA) eine Dicke (d) kleiner $1/3$ einer Länge (L) des Kanalgebietes (K) aufweist.
3. Halbleiterbauelement nach Patentanspruch 1 oder 2,
 - 30 d a d u r c h g e k e n n z e i c h n e t, dass die Stressübertragungsschicht (2) eine kristalline Isolatorschicht darstellt.
4. Halbleiterbauelement nach Patentanspruch 3,
 - 35 d a d u r c h g e k e n n z e i c h n e t, dass die Stressübertragungsschicht (2) eine zur zweiten Gitterkonstan-

te der stressaufnehmenden Halbleiterschicht (SA) angepasste Gitterkonstante aufweist.

5. Halbleiterbauelement nach einem der Patentansprüche 1 bis 4,
dadurch gekennzeichnet, dass die Stressgeneratorschicht (SG) eine ca. 10 bis 300 nm dicke Si-Ge-Schicht,
die Stressübertragungsschicht (2) eine ca. 1 bis 2 nm dicke CaF_2 -Schicht und
die stressaufnehmende Halbleiterschicht (SA) eine ca. 5 nm dicke Si-Schicht darstellt.

6. Halbleiterbauelement nach einem der Patentansprüche 1 bis 5,
dadurch gekennzeichnet, dass das Gate-Dielektrikum (3) eine hohe Dielektrizitätskonstante aufweist.

7. Halbleiterbauelement nach einem der Patentansprüche 1 bis 6,
dadurch gekennzeichnet, dass die Steuerschicht (4) ein Metall aufweist.

8. Halbleiterbauelement nach einem der Patentansprüche 1 bis 7,
dadurch gekennzeichnet, dass das Trägermaterial (1)
ein Si-Substrat (1A) mit einer (100)-Oberflächenorientierung und
eine Si-Bufferschicht (1B) zum Erzeugen einer platten Ausgangsoberfläche für die Stressgeneratorschicht (SG) aufweist.

9. Verfahren zur Herstellung eines Halbleiterbauelements mit stressaufnehmender Halbleiterschicht mit den Schritten:
a) Ausbilden eines Trägermaterials (1);
b) Ausbilden einer kristallinen Stressgeneratorschicht (SG) mit im Wesentlichen einer ersten Gitterkonstante auf dem Trä-

germaterial (1) zum Erzeugen einer mechanischen Beanspruchung;

c) Ausbilden einer isolierenden Stressübertragungsschicht (2) auf der Stressgeneratorschicht (SG) zum Übertagen der erzeugten mechanischen Beanspruchung;

d) Ausbilden einer kristallinen, stressaufnehmenden Halbleiterschicht (SA) mit einer zur ersten Gitterkonstante verschiedenen zweiten Gitterkonstante auf der Stressübertragungsschicht (2) zum Aufnehmen der mechanischen Beanspruchung;

e) Ausbilden eines Gate-Dielektrikums (3) auf der stressaufnehmenden Halbleiterschicht (SA);

f) Ausbilden einer Steuerschicht (4) auf dem Gate-Dielektrikum (3);

g) Strukturieren des Gate-Dielektrikums (3) und der Steuerschicht (4); und

h) Ausbilden von Source-/Draingebieten (S, D) in der stressaufnehmenden Halbleiterschicht (SA).

10. Verfahren nach Patentanspruch 9,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt a) ein Halbleitersubstrat (1A) mit einer (100)-Oberflächenorientierung bereitgestellt und zum Erzeugen einer glatten Oberfläche darauf eine Halbleiter-Bufferschicht (1B) epitaktisch abgeschieden wird.

11. Verfahren nach Patentanspruch 9 oder 10,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt b) ein IV-IV- oder III-V-Halbleiter verwendet wird.

12. Verfahren nach Patentanspruch 11,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt b) eine Mehrfach-Schichtenfolge als Stressgeneratorschicht (SG) ausgebildet wird.

13. Verfahren nach einem der Patentansprüche 9 bis 12,

15

d a d u r c h g e k e n n z e i c h n e t, dass
in Schritt b) die Stressgeneratorschicht (SG) mittels eines
molekularstrahlepitaktischen Verfahrens geglättet wird.

5 14. Verfahren nach einem der Patentansprüche 9 bis 13,
d a d u r c h g e k e n n z e i c h n e t, dass
in Schritt c) eine kristalline Isolatorschicht als Stress-
übertragungsschicht (2) ausgebildet wird.

10 15. Verfahren nach Patentanspruch 14,
d a d u r c h g e k e n n z e i c h n e t, dass
in Schritt c) eine Stressübertragungsschicht (2) mit einer
zur zweiten Gitterkonstante der stressaufnehmenden Halblei-
terschicht (SA) angepassten Gitterkonstante ausgebildet wird.

15

16. Verfahren nach Patentanspruch 15,
d a d u r c h g e k e n n z e i c h n e t, dass
in Schritt c) nur wenige Atomlagen der Stressübertragungs-
schicht auf der Stressgeneratorschicht (SG) epitaktisch abge-
20 schieden werden.

20

17. Verfahren nach einem der Patentansprüche 9 bis 16,
d a d u r c h g e k e n n z e i c h n e t, dass
in Schritt d) ein vollständig verarmtes Halbleitermaterial
25 verwendet wird.

25

18. Verfahren nach einem der Patentansprüche 9 bis 17,
d a d u r c h g e k e n n z e i c h n e t, dass
in Schritt e) als Gate-Dielektrikum (3) ein Material mit ho-
30 her dielektrischer Konstante verwendet wird.

30

19. Verfahren nach einem der Patentansprüche 9 bis 18,
d a d u r c h g e k e n n z e i c h n e t, dass
in Schritt f) als Steuerschicht (4) ein Metall verwendet
35 wird.

35

20. Verfahren nach einem der Patentansprüche 9 bis 19,

d a d u r c h g e k e n n z e i c h n e t, d a s s
in Schritt a) Si als Trägermaterial (1);
in Schritt b) SiGe als Stressgeneratorschicht (SG);
in Schritt c) CaF_2 als Stressübertragungsschicht (2);
5 in Schritt d) Si als stressaufnehmende Halbleiterschicht
(SA);
in Schritt e) HfO_2 als Gate-Dielektrikum (3); und
in Schritt f) TiN als Steuerschicht (4) verwendet wird.

FIG 1

Stand der Technik

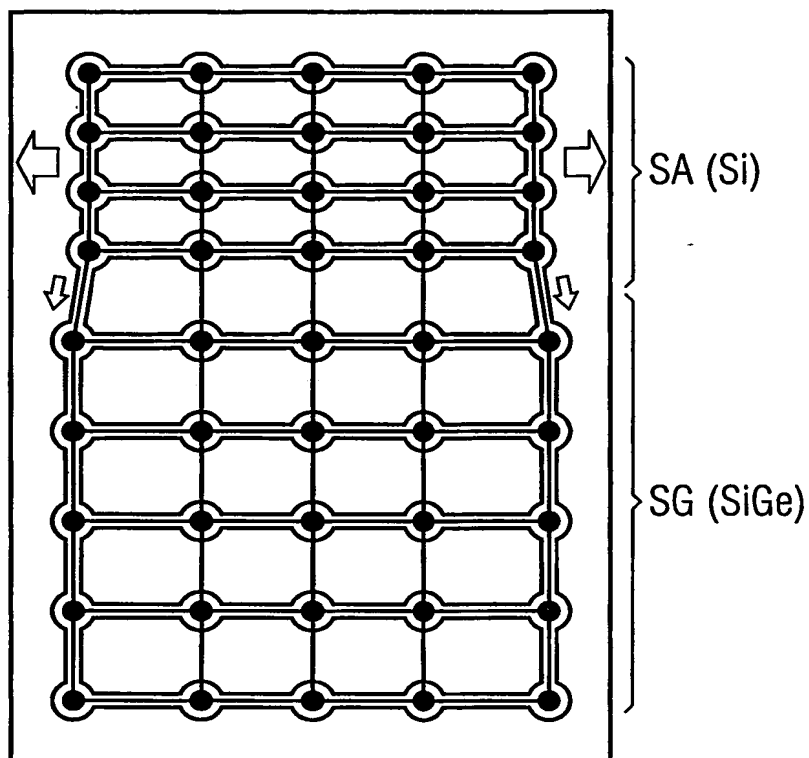


FIG 2

Stand der Technik

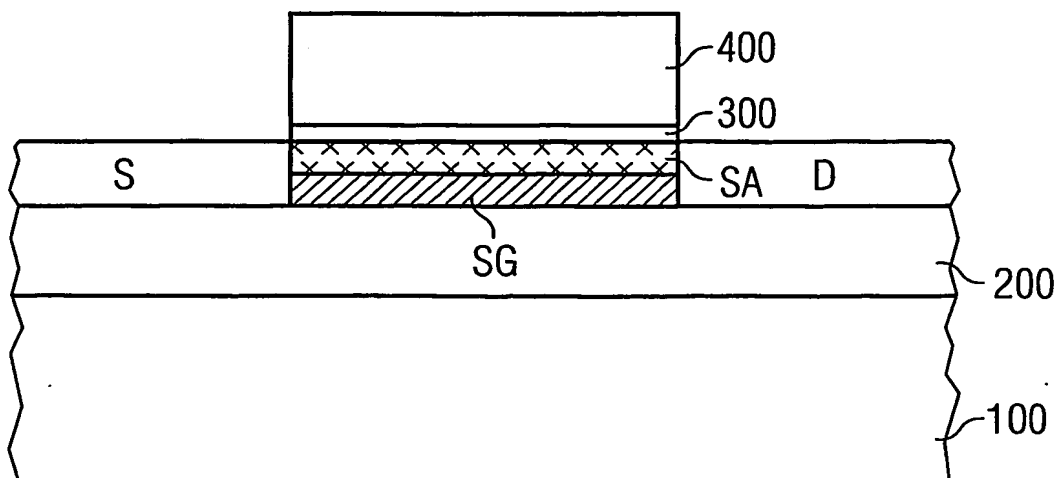


FIG 3A

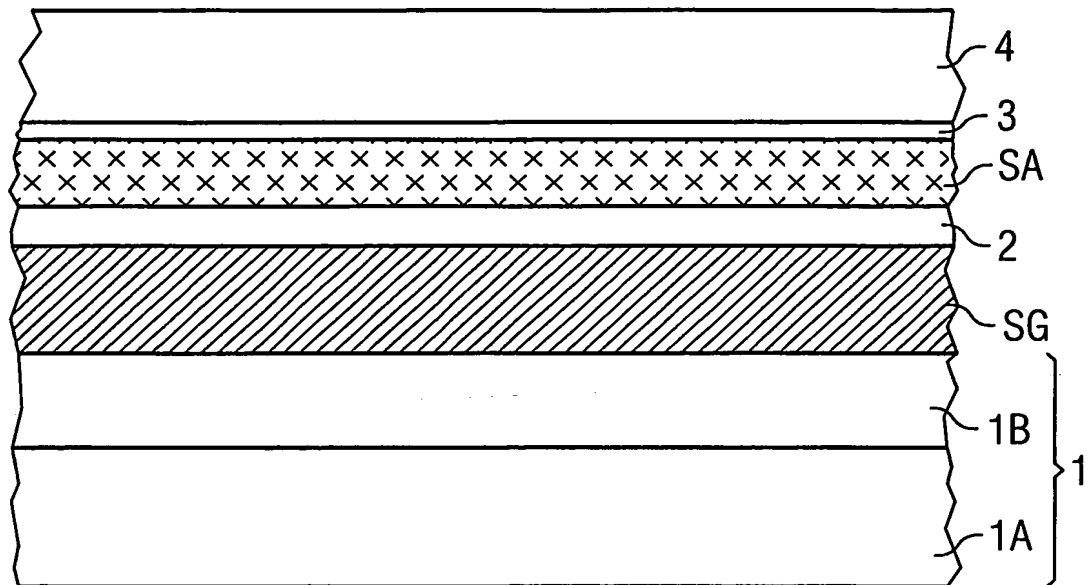


FIG 3B

